

UNIVERSIDAD SIMON BOLIVAR

| | | | | |
|--------------|-----------------------------------|----------|----------|----------|
| DIVISIÓN | FÍSICA Y MATEMATICAS | | | |
| DEPARTAMENTO | ELECTRÓNICA Y CICUITOS | | | |
| ASIGNATURA | EC1723 CIRCUITOS DIGITALES | | | |
| HORAS/SEMANA | T 2 | P 1 | L 2 | U 3 |
| VIGENCIA | DESDE: Septiembre 2002 | | HASTA: | |

PROGRAMA

Objetivo General

Al finalizar el curso los estudiantes serán capaces de analizar y diseñar circuitos combinacionales y secuenciales.

Objetivos Específicos

Al culminar el curso el estudiante deberá ser capaz de:

1. Implementar circuitos combinacionales con componentes lógicos básicos (puertas) de forma óptima, para codificación, selección, tratamiento y transformación de datos, a partir de una tabla de verdad o de la descripción de su funcionamiento.
2. Modelar circuitos secuenciales a través del modelo de máquina de estados finitos.
3. Analizar cualquier circuito secuencial y obtener la tabla de transición de estados y el diagrama de estados que modele su comportamiento.
4. Diseñar un circuito secuencial partiendo de una descripción de su funcionamiento o de un diagrama de estados o de una tabla de transición de estados, utilizando el menor número de biestables o flip-flops.
5. Diseñar un circuito secuencial utilizando un flip-flop por estado.
6. Diseñar un circuito secuencial que actúe como control del flujo de datos en una estructura basada en componentes de memoria y componentes combinacionales.
7. Durante este curso los estudiantes desarrollarán su capacidad de trabajar colaborativamente, de aprender por si mismos, de autoevaluarse y de programar eficazmente sus actividades. Así como también se espera que profundicen actitudes y valores como: responsabilidad, puntualidad y honestidad.

Contenido

Tema 1: Componentes Combinacionales.

Compuertas Lógicas básicas. Minimización de funciones con mapas de Karnaugh.

Tema 2: Lógica combinacional: Sumadores, restadores, decoders, mux, etc.

Comparadores, shift registers. Memorias de sólo lectura. PLAs

Tema 3: Lógica secuencial.

Latches, Flip-Flops, tipo SR, D, JK.

Máquina de estados finitos (FSM). Minimización de estados. Diseño.

Tema 4: Componentes de Memorización.

Registros, contadores, banco de registros, memorias FIFO y LIFO.

Cronograma Sugerido

Sem. Teoría

1

Introducción al curso.
Proceso moderno de diseño.

3

Minimización de funciones. Mapas de Karnaugh.

5

Flip-Flops. Tipos.
Análisis lógico secuencial.
Máquina de edos. Finitos.

7

Codificación de edos., minimización.
Diseño.

9

Registros, contadores, bancos de registros,
memorias FIFO y LIFO.

12

EVALUACION

Sem. Laboratorio

2

Introducción al simulador ALTERA.
Ejercicios de simulación de lógica combinacional.

Repaso de compuertas lógicas y funciones.

4

Diseño combinacional, simulación y programación de FPGA.

6

Práctica con el objetivo de estudiar la ULA y/o otros circuitos combinacionales

8

Diseño e implementación de una máquina de estados.

10 y 11

Diseñar un circuito que contenga elementos de memoria y un controlador

Metodología sugerida:

Los objetivos se cubrirán con clases presenciales utilizando aprendizaje activo colaborativo con énfasis en la calidad.

Se sugiere la aplicación de las siguientes técnicas:

Investigación y Exposición en clases

Estudio de Casos

Discusión y Debate

Resolución de Problemas

Evaluación

Se sugieren pesos iguales para teoría y laboratorio, 50% cada una.

La evaluación de la teoría consta de:

Exámenes parciales (dos como mínimo)

Tareas todas las semanas

Resultado de los trabajos en equipo

Calidad del trabajo en equipo

La evaluación del laboratorio consta de:

Resultado de las Prácticas

Calidad del trabajo en equipo

Exámenes o quices parciales

Calidad de los aportes

BIBLIOGRAFÍA

“Principios de Diseño Digital”, Daniel D. Gajski. Prentice Hall 1997.